

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tomiji YAMADA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **October 2, 2003**

For: **COMPUTER POWER SUPPLY**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: October 2, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-320308, filed November 1, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP



William L. Brooks
Attorney for Applicants
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031222**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月 1日
Date of Application:

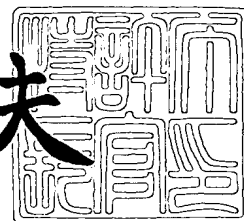
出願番号 特願2002-320308
Application Number:
[ST. 10/C]: [JP 2002-320308]

出願人 株式会社ニプロン
Applicant(s):

2003年 8月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3066175

【書類名】 特許願

【整理番号】 P021101B1

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/335
H02M 3/28
H02J 7/10

【発明者】

【住所又は居所】 東京都府中市宮西町 1 - 5 - 1 菱宏ビル 6 F 株式会社
ニプロン内

【氏名】 山田 富治

【発明者】

【住所又は居所】 東京都府中市宮西町 1 - 5 - 1 菱宏ビル 6 F 株式会社
ニプロン内

【氏名】 辰巳 章

【特許出願人】

【識別番号】 592001296

【氏名又は名称】 株式会社ニプロン

【代理人】

【識別番号】 100074561

【弁理士】

【氏名又は名称】 柳野 隆生

【電話番号】 06-6394-4831

【手数料の表示】

【予納台帳番号】 013240

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンピュータ用電源装置

【特許請求の範囲】

【請求項 1】 直流電圧を入力として動作する第 1 スイッチング素子及び第 2 スイッチング素子を高周波トランスの一次側に配置し、前記第 1 スイッチング素子を前記高周波トランスの一次側巻線の一端に接続し、かつ、前記第 2 スイッチング素子を該一次側巻線の第 1 スイッチング素子接続側と同一端に該第 1 スイッチング素子の極性と異なる状態で共振用コンデンサを介して接続し、前記一次側巻線と共振用コンデンサと 2 つのスイッチング素子とから部分共振回路を構成し、前記高周波トランスの二次側に巻線を介して負荷を駆動するための二次側出力回路を接続し、駆動信号に基づいて前記第 1 スイッチング素子及び第 2 スイッチング素子をそれぞれ位相をずらせて駆動及び駆動停止させるために、遅延要素を有した第 1 駆動回路及び第 2 駆動回路を備え、前記一方の駆動回路への入力部に前記他方の駆動回路との絶縁及び反転入力電圧を供給するためのリバースコンバータを備えさせたことを特徴とするコンピュータ用電源装置。

【請求項 2】 前記リバースコンバータが、鉄心に対して一次側の巻線と二次側の巻線をそれらの極性が異なる状態で配置したものである請求項 1 記載のコンピュータ用電源装置。

【請求項 3】 前記二次側出力回路に、デッドアングルを有する磁気増幅器を備えさせる、又は同期整流回路中に磁気スナバーを備えさせてなる請求項 1 記載のコンピュータ用電源装置。

【請求項 4】 前記少なくとも一方のスイッチング素子の前記一次側巻線側端とアース側端とを容量の異なる 2 つのコンデンサにて直列接続し、前記容量の小さなコンデンサにダイオードを並列に接続してなる請求項 1 記載のコンピュータ用電源装置。

【請求項 5】 前記高周波トランスの二次側に設けた出力用の巻線とは異なる 2 つの補助用の巻線を該二次側に配置し、それら 2 つの補助用の巻線に一次側からの出力をロスの少ない状態で受け渡すための 2 つの同期整流駆動回路を極性が互いに異なった状態でそれぞれ接続し、前記高周波トランスの二次電圧に同期

して ON-OFF 信号が与えられる前記 2 つの同期整流駆動回路用のスイッチング素子を備えさせてなる請求項 1 記載のコンピュータ用電源装置。

【請求項 6】 前記駆動信号を出力するための PWM 制御回路に、前記第 1 スwitchング素子及び第 2 スwitchング素子の ON 時間決定用の 2 つの抵抗を、該第 1 スwitchング素子及び第 2 スwitchング素子の ON 時間を制御するためのコンパレータ 2 5 が ON 時に並列になるように接続してなる請求項 1 記載のコンピュータ用電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば商用交流電源（AC）からの交流電圧を交流側電源回路により整流した後の直流出力、又はバッテリーや二次電池などの直流電源からの直流電圧により各種の負荷を駆動するためのコンピュータ用電源装置に関する。

【0 0 0 2】

【従来の技術】

上記コンピュータ用電源装置として、例えば 1 U（高さ 4 4 mm 単位）サイズに高出力容量（2 0 0 ～ 3 0 0 W）のスイッチング電源を提供する際に、小さなサイズで出力容量を 2 1 0 W 以上取り出せるようにするためには、従来から冷却ファンを多用することによって、内部の熱損失による効率の低下を回避することが行われているが、効率が 6 5 % ～ 6 8 % 程度しか出ないものが多いだけでなく、冷却ファンの個数が多くなればなるほど消費電力が多くなるため、効率をあまり上げることができず、早期改善が要望されている。

また、負荷電流で変化する発熱量に応じて冷却ファンからの流量を変更することによって、内部の温度を常に一定に保つように構成されたものも提案されている（例えば、特許文献 1 参照。）。

【0 0 0 3】

【特許文献 1】

特開平 7 - 2 3 1 0 5 8 号公報（図 1 参照）

【0 0 0 4】

上記特許文献では、負荷電流が小さい場合には、冷却ファンの流量を小さくすることによって、多数の冷却ファンを全て駆動しているものに比べて効率を多少向上させることができるものの、根本的な解決にはなっていなかった。

【0005】

【発明が解決しようとする課題】

そこで、本発明が前述の状況に鑑み、解決しようとするところは、回路自体を改良することによって、内部の熱損失そのものを低減することにより、効率を大幅に向上させることができるコンピュータ用電源装置を提供する点にある。

【0006】

【課題を解決するための手段】

本発明のコンピュータ用電源装置は、前述の課題解決のために、直流電圧を入力として動作する第1スイッチング素子及び第2スイッチング素子をそれらの極性が異なる状態で高周波トランスの一次側に配置し、前記第1スイッチング素子を前記高周波トランスの一次側巻線の一端に接続し、かつ、前記第2スイッチング素子を該一次側巻線の第1スイッチング素子接続側と同一端に共振用コンデンサを介して接続し、前記一次側巻線と共振用コンデンサと2つのスイッチング素子とから部分共振回路を構成し、前記高周波トランスの二次側に巻線を介して負荷を駆動するための二次側出力回路を接続し、駆動信号に基づいて前記第1スイッチング素子及び第2スイッチング素子をそれぞれ位相をずらせて駆動及び駆動停止させるために、遅延要素を有した第1駆動回路及び第2駆動回路を備え、前記一方の駆動回路への入力部に前記他方の駆動回路との絶縁及び反転入力電圧を供給するためのリバースコンバータを備えさせたことを特徴としている。

従って、部分共振回路及びリバースコンバータを用いることにより、フォワードコンバータを用いた場合に発生するフライバック電圧の落ち込みを回避することができ、しかも駆動回路に遅延要素を有するものから構成することによって、2つのスイッチング素子の一方が駆動停止（OFF）し、他方のスイッチング素子が駆動（ON）するときや、これとは逆に一方のスイッチング素子が駆動（ON）し、他方のスイッチング素子が駆動停止（OFF）するときに、両スイッチング素子の作動が重複する部分を可及的に少なくすることができる。

【0007】

前記リバースコンバータを、鉄心に対して一次側の巻線と二次側の巻線をそれらの極性が異なる状態で配置したものから構成することによって、絶縁と反転出力の両方の効果を得ることができる。

【0008】

前記二次側出力回路に、デッドアングルを有する磁気増幅器を備えさせる、又は同期整流回路中に磁気スナバーを備えさせることによって、二次側の電流の流れ出しを遅らせることができる。

【0009】

前記少なくとも一方のスイッチング素子の前記一次側巻線側端とアース側端とを容量の異なる2つのコンデンサにて直列接続し、前記容量の小さなコンデンサにダイオードを並列に接続することによって、スイッチング素子の駆動停止（OFF）時のスイッチングロスを減少させることができる。

【0010】

前記高周波トランスの二次側に設けた出力用の巻線とは異なる2つの補助用の巻線を該二次側に配置し、それら2つの補助用の巻線に一次側からの出力をロスの少ない状態で受け渡すための2つの同期整流駆動回路を極性が互いに異なった状態でそれぞれ接続し、前記高周波トランスの二次電圧に同期してON-OFF信号が与えられる前記2つの同期整流駆動回路用のスイッチング素子を備えさせている。

前記2つの同期整流駆動回路用のスイッチング素子に対して高周波トランスの二次電圧に同期してON-OFF信号を各スイッチング素子に与える。この高周波トランスの二次電圧は、請求項1の駆動回路のリバースコンバータによる二次波形がフライバックエネルギーによる十分な電圧とOFF同期を与えるため、高周波ダイオード整流に比べ、スイッチング素子のON抵抗のみの電力ロスとなるため、高効率を実現することができる。

【0011】

前記駆動信号を出力するためのPWM制御回路に、前記第1スイッチング素子及び第2スイッチング素子のON時間決定用の2つの抵抗を、該第1スイッチン

グ素子及び第2スイッチング素子のON時間を制御するためのコンパレータ25がON時に並列になるように接続している。

上記のように構成することによって、入力電圧が入ったときやリモートコントローラからのON信号が入ったとき、スイッチング素子が全開で立ち上がろうとする（短いON時間で急激に立ち上がる）ことなく、ソフトスタートさせて、オーバーシュートやアンダーシュートなどのトランジェントの発生を回避することができる。

【0012】

【発明の実施の形態】

図1に、コンピュータ用電源装置を示し、例えば商用交流電源からの交流を整流して直流電圧に変換するための回路を設け、その回路からの直流電圧を利用するものが一般的であるが、説明を簡素化するために、図1では直流電圧を発生する電池1を備えたものを例示しているが、例示したものに限定されるものではない。図1に示す二次側出力は、+12V、+5V、+3.3Vの3つの出力電圧を取り出すことができるようになっているが、出力の個数及び出力電圧の大きさはどのように設定しても構わない。

【0013】

前記コンピュータ用電源装置は、電池1の直流電圧を入力として動作する一次側スイッチング回路2と、高周波トランス3を介してスイッチング回路2からの出力を利用してコンピュータの各種装置を駆動するために該高周波トランス3の二次側に設けた二次側出力回路4とから構成されている。

【0014】

前記一次側スイッチング回路2は、前記高周波トランス3の一次側に設けた一次巻線N1のマイナス極側に、第1スイッチング素子としての第1FET（電界効果トランジスタ）Q1と、共振用コンデンサ7を介して第2スイッチング素子としての第2FET（電界効果トランジスタ）Q2とを極性が異なる状態で接続する、つまり第1FETQ1のドレイン側を、かつ、第2FETQ2のカソード側をそれぞれ接続し、前記第1FETQ1を駆動信号に基づいて駆動する遅延要素（たとえば遅延回路）を有した第1駆動回路5をFETQ1のゲートーカソー

ド間に接続し、第2 F E T Q 2 を駆動信号に基づいて駆動する遅延要素（たとえば遅延回路）を有した第2 駆動回路6 を第2 F E T Q 2 のゲート-カソード間に接続している。これら一次巻線N 1、共振用コンデンサ7、2つのF E T Q 1、Q 2 から、F E T Q 1、Q 2 が両方共O F F 時にのみ共振させる部分共振回路8 を構成している。尚、前記F E T Q 1、Q 2 の内部には、寄生ダイオード9、10 をそれぞれ備えさせている。

【0015】

前記第1 駆動回路5 と前記第2 駆動回路6 との間に、前記両駆動回路5、6 の絶縁及び第2 駆動回路6 へ反転出力電圧を供給するためのリバースコンバータ11 を備えている。

前記リバースコンバータ11 は、鉄心11C に対して一次側の巻線11B と二次側の巻線11A をそれらの極性が異なる状態、つまり図において一次側の巻線11B の右側を一極とすると、二次側の巻線11A の右側を+極となるように配置して、一次側の巻線11B からの第3 F E T Q 3 がO F F 時のフライバック電圧が極性が反転した状態で二次側の巻線11A へ受け渡すことができるようになっている。そして、前記リバースコンバータ11 を駆動するための第3 スwitchング素子としての第3 F E T Q 3 を設けている。図1 に示す14 は、後述するP W M 制御回路24 からの駆動信号に基づいて前記第3 F E T Q 3 を駆動するために第3 F E T Q 3 のゲートに接続された第3 駆動回路である。

【0016】

前記第1 F E T Q 1 の前記一次側巻線N 1 側端（ドレイン側）とアース（カソード）側端とを容量の異なる2つのコンデンサ12、13 にて直列接続し、前記容量の小さなコンデンサ12 にダイオード14 を並列に接続させて、第1 F E T Q 1 のO F F 時のスイッチングロスを減少させることができるようにしている。

【0017】

前記第1 F E T Q 1 及び第2 F E T Q 2 の動作について説明すれば、後述するP W M 制御回路からの駆動信号により第1 駆動回路5 から出力されることにより第1 F E T Q 1 がO N（極性の異なる第2 F E T Q 2 はO F F）すると、図2 に示すように電流 I_{1A} が流れる。次に、第1 F E T Q 1 がO F F になると、共振用

コンデンサ 7 を充電するために、図 3 に示すように電流 I_{1B} が寄生ダイオード 10 を通って流れる。前記第 2 FET Q 2 を設けることによって、高周波トランス 3 のフライバック逆起電力を共振用コンデンサ 7 に流すことにより高周波トランス 3 の励磁をリセットすると共に第 1 FET Q 1 のターンオフ時のスイッチングロスを減少させることができる利点がある。言い換えれば、前記第 2 FET Q 2 が無い場合には、第 1 FET Q 1 の OFF 時に高周波トランス 3 のフライバック電圧が急激に立ち上がるため、第 1 FET Q 1 に流れていたドレイン電流がオフする際のクロス時に発生するターンオフ時損失が大きく発生することになる。前記共振用コンデンサ 7 の充電が完了すると、第 2 FET Q 2 が ON になり（第 1 FET Q 1 は OFF のまま）、共振用コンデンサ 7 に蓄えられたエネルギーを放出して図 4 に示すように電流 I_{1c} が流れる。前記放電が終了すると、前記第 1 FET Q 1 が前記のように ON になり、上述の動作を繰り返すことになる。前記第 1 FET Q 1 が ON するときに、前記第 2 FET Q 2 が無い場合には、第 1 FET Q 1 のドレインソース間の電圧の立ち下がりが遅れ、第 1 FET Q 1 の ON 電流の立ち上がりと重なり、ターンオン時の損失が大きくなることになる。

【0018】

前記二次側出力回路 4 は、高周波トランス 3 の二次側に配置された 4 つの巻線 N 2, N 3, N 4, N 5 を備え、図において上側に位置する巻線 N 3 のプラス極側には、磁気増幅器 19 A を介して二次側の整流素子としての高速整流用ダイオード 15 を接続して、+12V の電圧を得ることができるようになっているが、電力ロスを小さく抑えるためにフライホイール側のダイオードに FET 等を用いることもできる。又、前記上から第 3 番目に位置する巻線 N 2 に一次側からの出力をロスの少ない状態で受け渡すための 2 つの同期整流駆動回路 16, 17 を、前記上から第 2 番目と第 4 番目に位置する補助用の 2 つの巻線 N 4, N 5 に極性が互いに異なった状態で接続する、つまり上側の第 1 同期整流駆動回路 16 を巻線 N 4 のプラス極側に接続し、かつ、下側の第 2 同期整流駆動回路 17 を巻線 N 5 のマイナス極側に接続し、それら 2 つの同期整流駆動回路 16, 17 からの出力信号に基づいて ON-OFF するための同期整流側スイッチング素子である第 4 FET Q 4 及びフライホイール側スイッチング素子である第 5 FET Q 5 と第 6

FETQ6を備えさせて、同期整流回路を構成している。そして、前記第4FETQ4が、前記第1FETQ1のON状態で、ON状態になり、+3.3Vと+5Vを出力し、前記フライホイール側の第5FETQ5及び第6FETQ6が、前記第1FETQ1のOFF状態で、ON状態になり、チョークコイル18C、18Bの逆起電力で+3.3Vと+5Vを出力するように3つのFETQ4、Q5、Q6をそれぞれ接続している。図1に示す30は、+12V出力を定電圧に制御するための磁気増幅器19A制御用回路であり、20は、+3.3V出力を定電圧に制御するための磁気増幅器19B制御用回路である。又、図1に示す21は、過電流検出用カーレントランスであり、図示していないが過電流保護回路を構成することになる。前記のように高速整流用ダイオード15により整流して+12Vの出力を得るようにしていることから、フライホイール側ダイオード（高速整流用ダイオード）15のVF（順方向閾値電圧）による電力ロスが大きくなるため、前記第5、6FETQ5、Q6と同様の同期整流駆動回路17で駆動するFETを、第5、6FETQ5、Q6と同様の動作を行うフライホイール側ダイオード（高速整流用ダイオード）15に変えて接続することにより、電力ロスを小さく抑えることができる。

【0019】

前記第4FETQ4、第5FETQ5、第6FETQ6の動作について図6を用いて説明すれば、まず、前記第1FETQ1がONになり、一次側の巻線N1に図に示す電流 I_{1A} が流れることにより第1同期整流駆動回路16からの出力を受けて第4FETQ4がONになる。これにより、図6に示すように+5Vの出力を発生するように電流 I_1 が流れると共に、+3.3Vの出力を発生するように電流 I_2 が流れる。

前記第1FETQ1がOFFになると、第1FETQ1がONのときに平滑用チョークコイル18B、18Cに蓄えられたエネルギーを逆起電力として放出することにより、第2同期整流駆動回路17からの出力を受けて第5FETQ5及び第6FETQ6がONになる。これにより、図7に示すように+5Vの出力を発生するように電流 I_3 が流れると共に、+3.3Vの出力を発生するように電流 I_4 が流れる。

【0020】

図1に示すように、2つの巻線N2、N3に、デッドアングルを有する磁気増幅器19A、19Bをそれぞれ接続することによって、図8で示すT1の領域でデッドアングル（導通角ともいう）を用いて二次側電流の流れ出しを遅らせることができ、ZVS（ゼロボルトスイッチング）機能を損なうことを防ぐことができる。尚、磁気増幅器が入らない（ONしない）+5Vの整流用FETQ4に直列に磁気スナバー28を用いることによって、前記磁気増幅器19を設けた場合と同等の効果を有する。尚、マルチ出力の場合には、併用することができる。図1に示す29は、第4FETQ4の内部に備えている寄生ダイオードである。

【0021】

図1に示すように、+5V定電圧制御回路22からの出力がフォトカプラ23を介して入力されて駆動信号を発生させるためのPWM制御回路24を設け、このPWM制御回路24に、前記第1FETQ1及び第2FETQ2のON時間決定用の2つの抵抗R1、R2を、該第1FETQ1及び第2FETQ2のON時間を制御するためのコンパレータ25がON時に並列になるように接続し、前記コンパレータ25の基準電圧入力側にリモート信号がフォトカプラ26を介して入力されるように構成している。

一般的に、入力電圧が入ったときやリモートコントローラからのON信号が入ったとき、第1FETQ1、第2FETQ2が全開で立ち上がろうとする（出力を早く立ち上げようとしてON時間が全開になる）ため、オーバーシュートやアンダーシュートなどのトランジェントが発生する。これを上記のようにON時間を変更することによって、第1FETQ1、第2FETQ2をソフトスタートさせて、出力電圧の立ち上がり時のトランジェントを無くしたスムーズな立ち上がりを行わせることができる。図1に示す27は定電流回路である。

【0022】

図8に示すタイムチャートに基づいて本発明の動作を説明すれば、ドライブ信号（前記駆動信号のこと）が周期 T_A で出力されると、垂下回路動作時などはON時間 T_a が図の右側に示すように極端に狭くなってしまう。そして、前記ドライブ信号により駆動回路5、6にてFETQ1、Q2をON-OFF制御するこ

とによって、第1 FET Q1のゲート電圧 V_{G1} に対して第2 FET Q2のゲート電圧 V_{G2} が相似の反対位相になる。このとき、第1 FET Q1のゲート電圧 V_{G1} の立ち上がり時期がドライブ信号の立ち上がり時から T_1 ほど遅れ、又、第2 FET Q2のゲート電圧 V_{G2} の立ち上がり時期がドライブ信号の立ち下がり時から T_2 ほど遅れるようになっている。又、第2 FET Q2の駆動回路として一般のフォワードコンバータ（ON/ON回路）を用いると、第3 FET Q3のドレインソース間電圧 V_{DS3} が図の真ん中のように途中から下がった状態になってしまうことになるが、本発明のようにリバースコンバータ11（ON-OFF回路）を用いることによって、図の右側のように電圧が下がることがなくほぼ矩形波にすることができる。図7に示す I_{D1} は、第1 FET Q1のドレイン電流を示し、図5で I_D で示している。又、 V_T は、高周波トランス3の一次側及び二次側の電圧を示している。

【0023】

【発明の効果】

請求項1によれば、部分共振回路及びリバースコンバータを用いることにより、駆動電圧（具体的にはゲート電圧 V_{G2} ）が落ち込むようなことを回避することができ、しかも、駆動回路に遅延要素を有するものから構成することによって、スイッチングロスを軽減させて従来のような冷却ファンを用いるものに比べて少なくとも5%以上の効率アップ（70%～75%）を図ることができるコンピュータ用電源装置を提供することができる。

【0024】

請求項3の発明によれば、二次側出力回路に、デッドアングルを有する磁気増幅器を備えさせる、又は同期整流回路中に磁気スナバーを備えさせることによって、二次側の電流の流れ出しを遅らせることができ、ZVS（ゼロボルトスイッチング）機能を損なうことを防ぐことができる。

【0025】

請求項4の発明によれば、少なくとも一方のスイッチング素子の一次側巻線側端とアース側端とを容量の異なる2つのコンデンサにて直列接続し、前記容量の小さなコンデンサにダイオードを並列に接続することによって、スイッチング素

子の駆動停止（OFF）時のスイッチングロスを減少させることができ、効率を更に向上させることができる。

【0026】

請求項5の発明によれば、二次側に設けた出力用の巻線とは異なる2つの補助用の巻線を該二次側に配置し、それら2つの補助用の巻線に一次側からの出力をロスの少ない状態で受け渡すための2つの同期整流駆動回路を極性が互いに異なった状態でそれぞれ接続し、高周波トランスの二次電圧に同期してON-OFF信号が与えられる2つの同期整流駆動回路用のスイッチング素子を備えさせることによって、スイッチング素子をきれいにON-OFFさせることが可能になると共に、トランスの巻線を利用しているため、同期のタイミングが容易である。

【0027】

請求項6の発明によれば、入力電圧が入ったときやリモートコントローラからのON信号が入ったとき、スイッチング素子を出力電圧の立ち上がり時のトランジェントを無くしたスムーズな立ち上がりを行わせることができる。

【図面の簡単な説明】

【図1】

コンピュータ用電源装置の概略の電気回路図である。

【図2】

第1FETがONで第2FETがOFFのときの電流の流れを示す説明図である。

【図3】

第1FET及び第2FETが共にOFFになったときの電流の流れを示す説明図である。

【図4】

第1FETがOFFで第2FETがONになったときの電流の流れを示す説明図である。

【図5】

コンピュータ用電源装置の一次側のスイッチング回路を示す図である。

【図6】

第1 FETがONで第4 FETがONのときの二次側の電流の流れを示す説明図である。

【図7】

第1 FETがOFFで第5 FET及び第6 FETが共にONのときの二次側の電流の流れを示す説明図である。

【図8】

一次側の特定箇所での電圧波形及び電流波形及び二次側の電圧波形の時間経過を示すタイムチャートである。

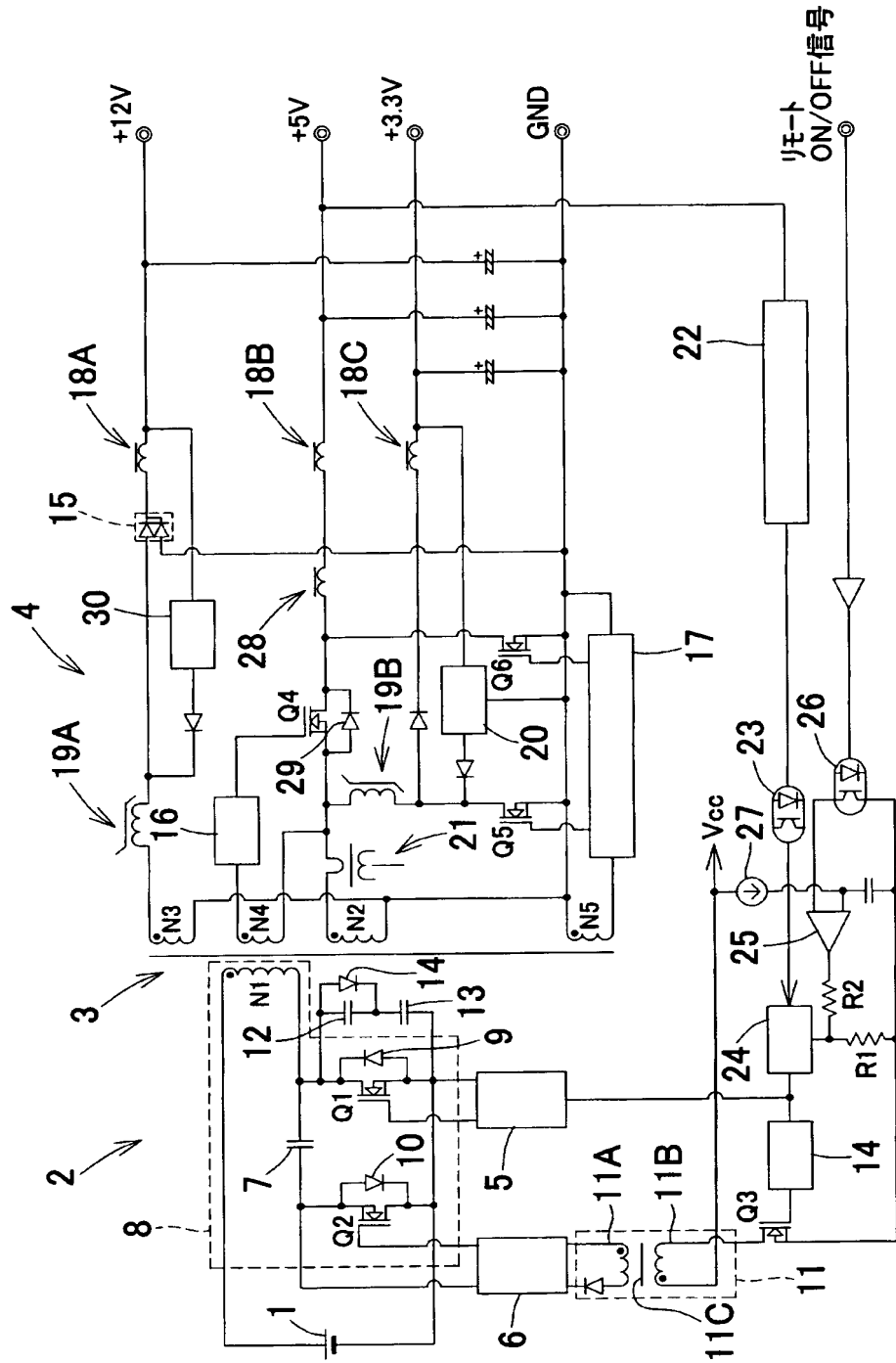
【符号の説明】

- | | |
|-------------------|---------------|
| 1 電池 | 2 一次側スイッチング回路 |
| 3 高周波トランス | 4 二次側出力回路 |
| 5, 6 駆動回路 | 7 共振用コンデンサ |
| 8 部分共振回路 | 9, 10 寄生ダイオード |
| 11 リバースコンバータ | |
| 11A, 11B 巻線 | |
| 11C 鉄心 | 12, 13 コンデンサ |
| 14 ダイオード | |
| 15 ショットキーバリアダイオード | |
| 16, 17 同期整流駆動回路 | |
| 18 平滑用チョークコイル | |
| 19A +12V制御用磁気増幅器 | |
| 19B +3.3V磁気増幅器 | |
| 20, 30 制御回路 | |
| 21 過電流検出器 | 22 定電圧制御回路 |
| 23 フォトカプラ | 24 PWM制御回路 |
| 25 コンパレータ | 26 フォトカプラ |
| 28 磁気スナバー | |

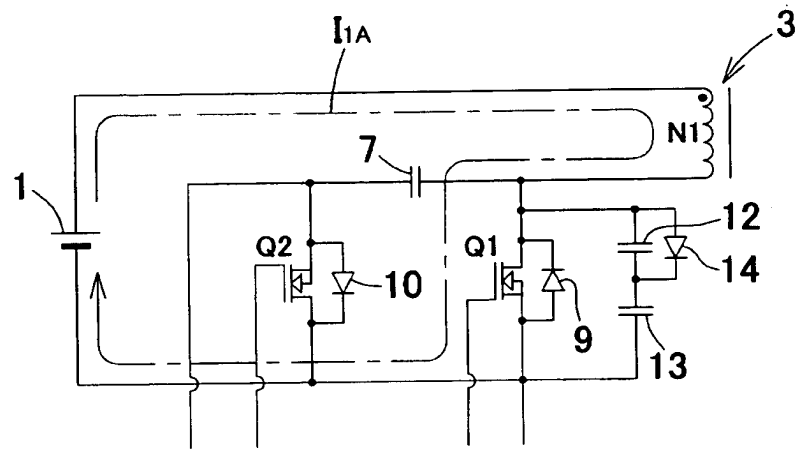
【書類名】

図面

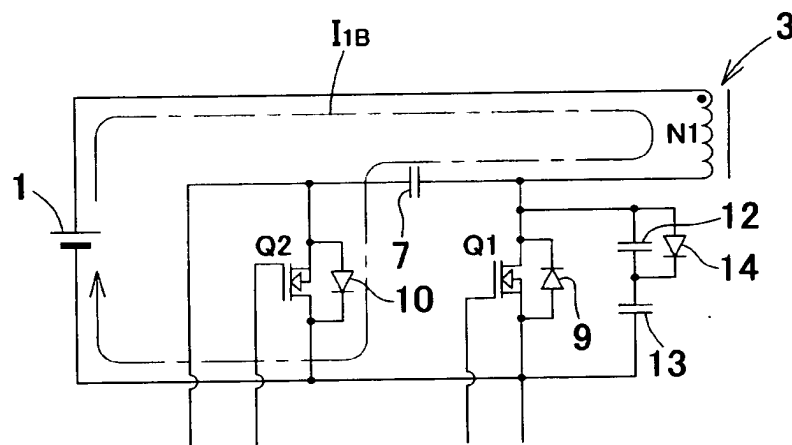
【図 1】



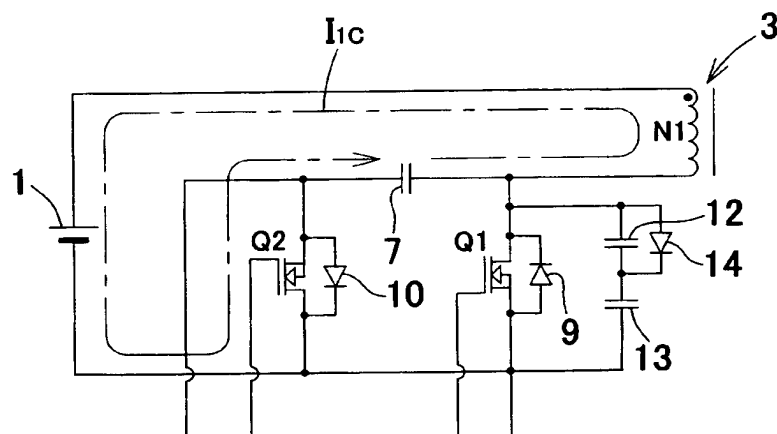
【図 2】



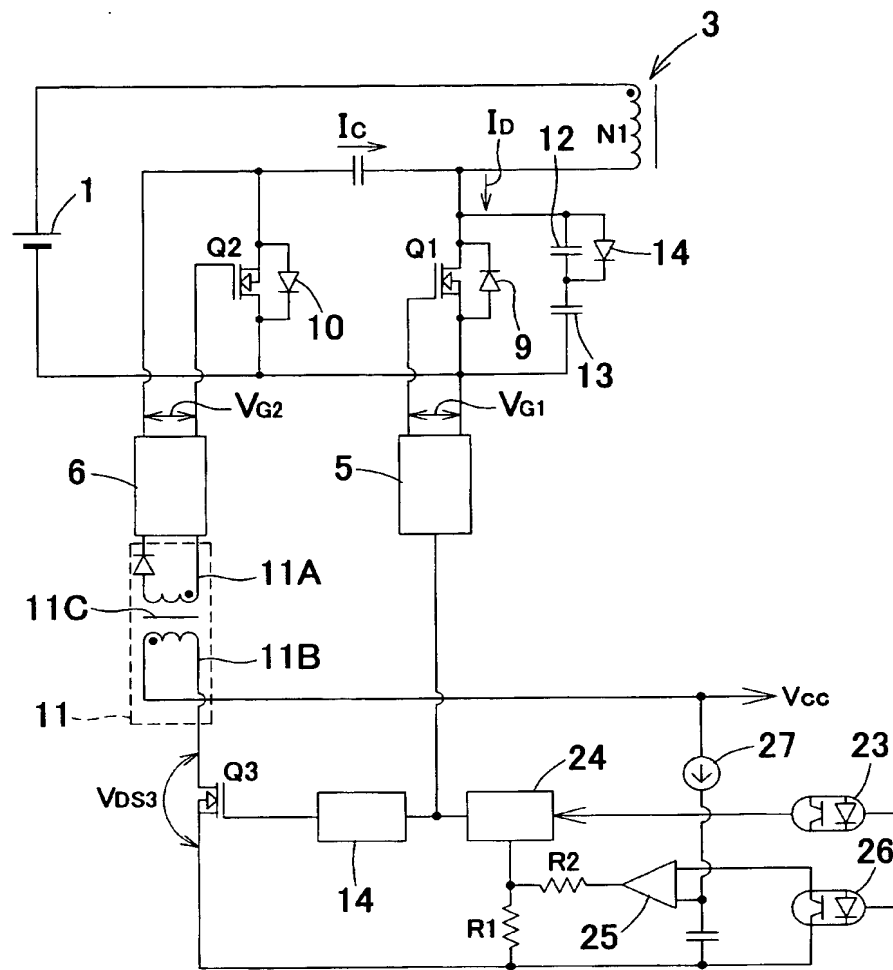
【図 3】



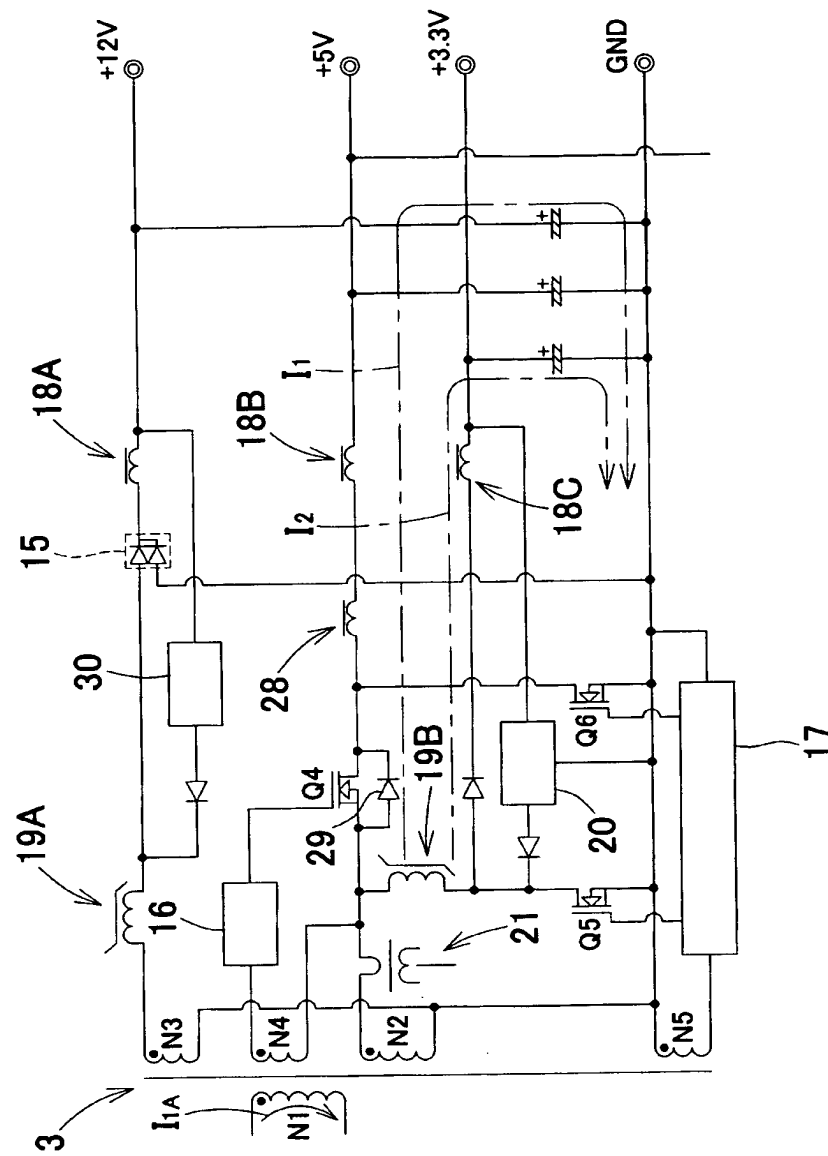
【図 4】



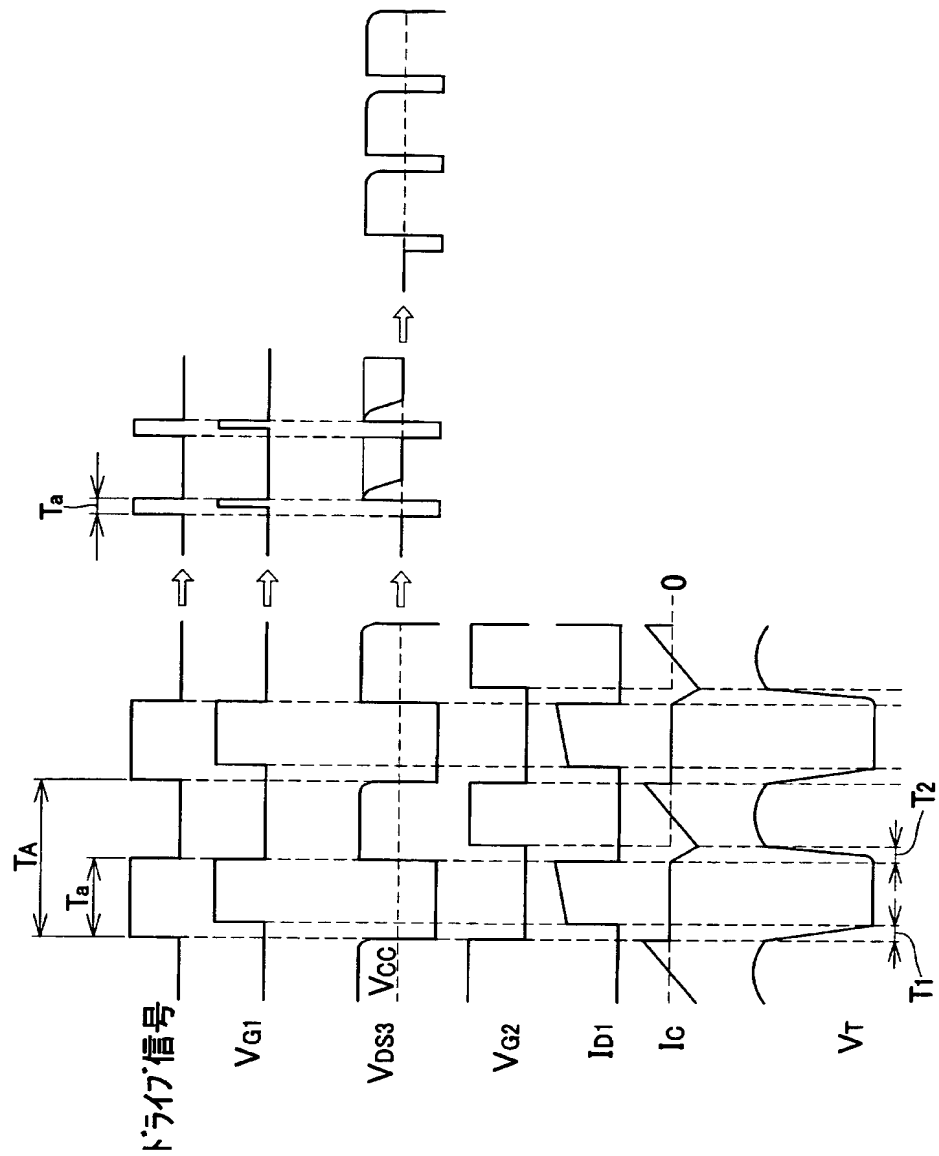
【図 5】



【図 6】



【図 8】



【書類名】 要約書

【要約】

【課題】 回路自体を改良することによって、内部の熱損失そのものを低減することにより、効率を大幅に向上させることができるコンピュータ用電源装置を提供する点にある。

【解決手段】 高周波トランス 3 の一次側巻線 N 1 と共振用コンデンサ 7 と 2 つのスイッチング素子 Q 1, Q 2 とから部分共振回路 8 を構成し、高周波トランス 3 の二次側に巻線を介して負荷を駆動するための二次側出力回路 4 を接続し、駆動信号に基づいて第 1 スwitchング素子及び第 2 スwitchング素子をそれぞれ位相をずらせて駆動及び駆動停止させるためのリバースコンバータ 1 1 を備えさせたことを特徴とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 2 0 3 0 8
受付番号	5 0 2 0 1 6 6 1 7 9 6
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 4 年 1 1 月 5 日

< 認定情報・付加情報 >

【提出日】	平成14年11月 1日
-------	-------------

次頁無

特願 2 0 0 2 - 3 2 0 3 0 8

出 願 人 履 歴 情 報

識別番号

[5 9 2 0 0 1 2 9 6]

1. 変更年月日 1 9 9 7 年 4 月 7 日
 [変更理由] 住所変更
 住 所 大阪市浪速区恵美須西 2 丁目 1 4 番 3 2 号
 氏 名 株式会社日本プロテクター

2. 変更年月日 2 0 0 1 年 3 月 3 0 日
 [変更理由] 名称変更
 住 所 大阪市浪速区恵美須西 2 丁目 1 4 番 3 2 号
 氏 名 株式会社ニプロン